



GIN-TTL



Hardware

User Manual

Version: Rev0.02
Datum: 28.11.2023
Sprache: Deutsch

Inhaltsverzeichnis

1.	Allgemein	4
1.1.	Über dieses Handbuch	4
1.2.	Vertrieb und Service	4
1.3.	Hersteller	4
1.4.	Disclaimer	4
1.5.	Copyright	4
1.6.	Dokumentation-Versionen	5
1.7.	Verwendete Begriffe	6
1.8.	Verwendete Symbole	6
2.	Umgebungsbedingungen	7
3.	Produktidentifizierung	8
3.1.	Lieferbare Varianten.....	8
4.	GIN-TTL	9
4.1.	Technische Daten	9
4.2.	Steckerbelegung	10
4.3.	Drehschalter Adressierung.....	11
4.4.	Lieferbare Varianten.....	11
5.	Abmessung	12
5.1.	Option BL	12

1. Allgemein

1.1. Über dieses Handbuch

Dieses Benutzerhandbuch beschreibt die Hardware des GIN-TTL.

1.2. Vertrieb und Service

1.3. Hersteller

Indel AG
Tüfiwis 26
CH-8332 Russikon
Switzerland

info@indel.ch
www.indel.ch

Tel.: +41 44 956 20 00

1.4. Disclaimer

Die Dokumentation wurde nach bestem Wissen und Gewissen erstellt. Die beschriebenen Produkte werden jedoch ständig weiterentwickelt und verbessert. Die Dokumentation ist deshalb niemals als vollständig zu betrachten. Sämtliche Angaben in der Dokumentation sind ohne Gewähr. Wir behalten uns das Recht vor, jederzeit und ohne Ankündigung Änderungen vorzunehmen. Es können keine Ansprüche auf Änderungen bereits gelieferter Produkte gemacht werden.

1.5. Copyright

©IndelAG

Weitergabesowie Vervielfältigung dieses Dokuments sind, soweit nicht ausdrücklich von Indel gestattet, verboten.




1.6. Dokumentation-Versionen

Version	Datum	Autor	Kommentar
Rev 0.01	22.08.2022	V. Züllig	<ul style="list-style-type: none"> • Erstfassung
Rev 0.02	16.12.2002	V. Züllig	<ul style="list-style-type: none"> • Abmessung und Drehschalter Optionen hinzugefügt

1.7. Verwendete Begriffe

Begriff	Bedeutung
GinLink	Indel 1 GBit Ethernet Feldbus
TTL	Logik Pegel 5V
LVC MOS	Logik Pegel 3.3V
INCO	Indel spezifische Softwareschnittstelle der Kommunikation zwischen Computer und Indel Hardware
Earth	Erdung oder Schutzleitung (PE)
Shield	Schirmung oder Erdanschluss für die Kabelschirmung

1.8. Verwendete Symbole

	<p>Wichtiger Hinweis für den Anwender</p> <p>Das Symbol kennzeichnet wichtige Hinweise für den Benutzer. Alle Hinweise müssen beachtet werden</p>
	<p>Achtung</p> <p>Das Symbol kennzeichnet Informationen, welche bei Nichteinhaltung zu Sach- und/ oder Personenschaden führen können.</p>
	<p>Gefahr</p> <p>Das Symbol kennzeichnet Informationen, welche bei Nichteinhaltung zu Personenschaden durch Elektrizität führen können</p>
WWW	<p>Hyperlink</p> <p>Kennzeichnet einen Hyperlink auf eine Datei oder Information im Internet</p>

2. Umgebungsbedingungen



Das GIN-TTL wird ohne Gehäuse ausgeliefert. Der Kunde muss für einen ausreichenden Schutz der Platine sorgen. Bei Nichteinhaltung erlischt jegliche Gewähr- und Garantieleistung von Indel.

Umgebungstemperatur: Lager	-20 ... 80	°C
Umgebungstemperatur: Betrieb	0 ... 45	°C
Kartentemperatur: Betrieb	65	°C
Relative Feuchtigkeit, keine Kondensation	95	%

3. Produktidentifizierung

Das GIN-TTL ist ein universell einsetzbares digitales I/O-Modul.

3.1. Lieferbare Varianten

Label	Option	Artikel-Nr	Beschreibung
GIN-TTL		611246700	GIN-Slave mit 60 IOs ab Spartan 6 FPGA mit Stiftleisten
GIN-TTL	BL	611246705	GIN-Slave mit 60 IOs ab Spartan 6 FPGA mit Buchsenleisten

4. GIN-TTL

Das GIN-TTL ist ein universell einsetzbares digitales I/O-Modul. Die Karte beinhaltet 60 Eingänge oder Ausgänge mit LVCMOS-Pegel. Das Modul ist als Aufsatz für Printmontage konzipiert. Mit der Standard Firmware stehen 60 frei konfigurierbare GPIOs zur Verfügung. Durch kundenspezifische FPGA-Firmware können zusätzliche Funktionen eingebaut werden; z.B. Interrupt Ein- und Ausgänge. Mit dem GIN-TTL Modul existiert somit eine sehr flexible und kostengünstige Schnittstelle zwischen bestehenden Fremdgeräten und dem GinLink.



4.1. Technische Daten

Die unten aufgeführten Daten gelten nur mit der Standard FPGA Firmware von Indel.

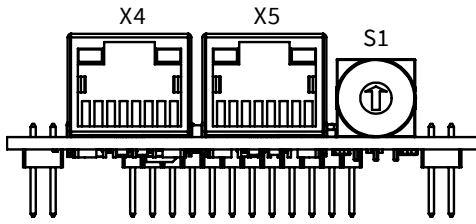
Digitale Eingänge / Ausgänge		
Anzahl Eingänge/Ausgänge	60 ⁽¹⁾	
I/O Signaling Standard	LVCMOS ⁽²⁾	
Spannungspegel	3.3	V
Max. Ausgangsstrom pro Ausgang	4 mA	mA
Ausgangsbeschaltung	Tri-State	
Schutz	Keine galvanische Trennung, nicht kurzschlussfest	
FPGA		
FPGA	Xilinx Spartan6 ⁽³⁾	
Mechanik		
Abmessung mit Stiftleisten	60 x 60 x 25 (l x b x h)	mm
Abmessung mit Buchsenleisten	60 x 60 x 20 (l x b x h)	mm
Verwendete Stiftleisten (2.54 mm)	Samtec: TSW-112-26-G-D	
Verwendete Buchsenleisten (2.54 mm)	Samtec: SSW-112-01-G-D	
Logikspeisung		
Spannung	3.3 ± 10%	V _{DC}
Stromaufnahme (min / typ / max)	180 / 250 / 350	mA

⁽¹⁾ Der Ausgangstreiber pro GPIO kann über die INCO Schnittstelle aktiviert werden.

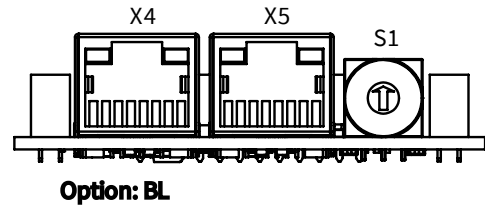
⁽²⁾ Dokument JESD8C-01 abrufbar auf der JEDEC Homepage (Login erforderlich)

⁽³⁾ Entwicklungsumgebung beziehbar auf der Xilinx Homepage (Login erforderlich)

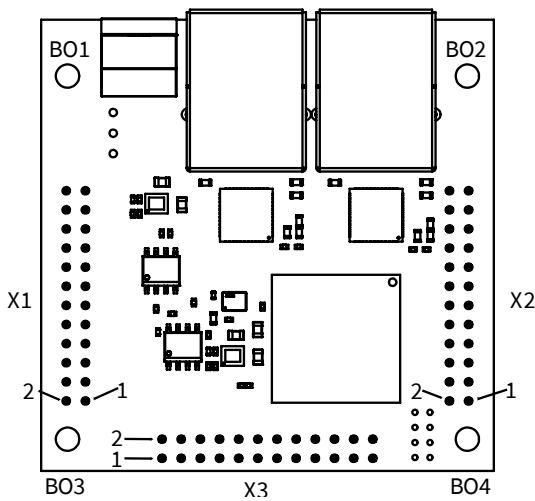
4.2. Steckerbelegung



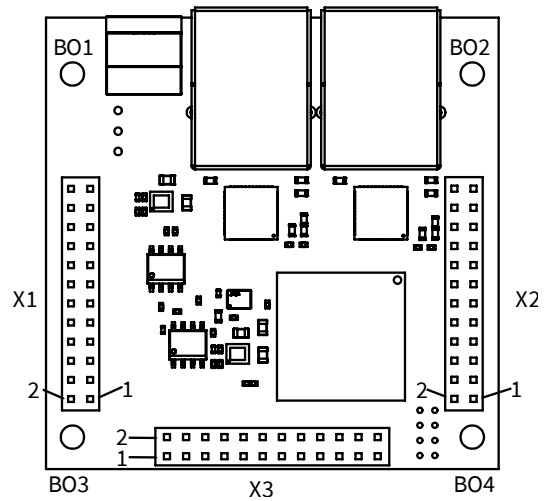
Bezeichnung	Beschreibung
X5	GinLink In
X4	GinLink Out
S1	Drehschalter



Bezeichnung	Beschreibung
BO1,2	EARTH
BO3,4	GND



X1					
Nr	Dir	Bez	Bez	Dir	Nr
2		3V3	GND		1
4	InOut	IO0	IO10	InOut	3
6	InOut	IO1	IO11	InOut	5
8	InOut	IO2	IO12	InOut	7
10	InOut	IO3	IO13	InOut	9
12	InOut	IO4	IO14	InOut	11
14	InOut	IO5	IO15	InOut	13
16	InOut	IO6	IO16	InOut	15
18	InOut	IO7	IO17	InOut	17
20	InOut	IO8	IO18	InOut	19
22	InOut	IO9	IO19	InOut	21
24		GND	GND		23



X2					
Nr	Dir	Bez	Bez	Dir	Nr
2		3V3	GND		1
4	InOut	IO20	IO30	InOut	3
6	InOut	IO21	IO31	InOut	5
8	InOut	IO22	IO32	InOut	7
10	InOut	IO23	IO33	InOut	9
12	InOut	IO24	IO34	InOut	11
14	InOut	IO25	IO35	InOut	13
16	InOut	IO26	IO36	InOut	15
18	InOut	IO27	IO37	InOut	17
20	InOut	IO28	IO38	InOut	19
22	InOut	IO29	IO39	InOut	21
24		GND	GND		23

X3					
Nr	Dir	Bez	Bez	Dir	Nr
2		3V3	GND		1
4	InOut	IO40	IO50	InOut	3
6	InOut	IO41	IO51	InOut	5
8	InOut	IO42	IO52	InOut	7
10	InOut	IO43	IO53	InOut	9
12	InOut	IO44	IO54	InOut	11
14	InOut	IO45	IO55	InOut	13
16	InOut	IO46	IO56	InOut	15
18	InOut	IO47	IO57	InOut	17
20	InOut	IO48	IO58	InOut	19
22	InOut	IO49	IO59	InOut	21
24		GND	GND		23

4.3. Drehschalter Adressierung

Mittels Drehschalter kann eine fixe GinLink Slave Adresse eingestellt werden.

Drehschalter Position	Beschreibung
0x0 ... 0xF	GinLink Slave Adressierung



Die eingestellte Adresse des GIN-TTL muss mit der Konfiguration des GinLink Masters übereinstimmen.

4.4. Lieferbare Varianten

Label	Option	Artikel-Nr	Beschreibung
GIN-TTL		611246700	GIN-Slave mit 60 IOs ab Spartan 6 FPGA mit Stiftleisten
GIN-TTL	BL	611246705	GIN-Slave mit 60 IOs ab Spartan 6 FPGA mit Buchsenleisten

